

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

March 6, 2001

CFO8117USA

Translation of 1-164550

Japanese Utility Model 1-164550

Application No.: 63-57701
Filed: April 28, 1988
Laid open: November 16, 1989
Inventor: K. Matsuoka
Applicant: Yokogawa Denki Inc.

Claim 1

A processor system having a main CPU card (1) and at least one I/O card (2, 3) connected to the main CPU card via a system bus (SB), characterized in that:

each of said at least one I/O card (2, 3) is provided with a memory unit (23, 24, 33) for storing an ID number and a driver program of the I/O card,

said main CPU card (1) issues a driver program load request and then loads the ID number and the driver program from the memory unit (23, 24, 33) of each I/O card (2, 3).

④ 日本国特許庁(JP)

⑤ 実用新案出願公開

⑥ 公開実用新案公報(U) 平1-164550

⑦ Int. Cl.

G 08 F 13/10

公開番号

320

庁内整理番号

A-7737-5B

⑧ 公開 平成1年(1989)11月18日

審査請求 未請求 請求項の数 1 (全4頁)

⑨ 考案の名称 プロセッサ・システム

⑩ 発 願 昭63-57701

⑪ 出 願 昭63(1988)4月28日

⑫ 考 案 者 松 岡 康 二

⑬ 出 願 人 横河電機株式会社

⑭ 代 理 人 弁理士 小沢 信助

東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
東京都武蔵野市中町2丁目9番32号

⑮ 実用新案登録請求の範囲

メインCPUカードにシステム・バスを介して少なくとも1個以上のI/Oカードを接続したプロセッサ・システムにおいて、各々のI/Oカードにそれぞれ対応する識別番号とドライバ・プログラムとを格納する記憶手段を設け、前記メインCPUカードはドライバ・プログラム・ロード要求を発生した後、前記各々のI/Oカードに設けた記憶手段から識別番号とドライバ・プログラムをロードすることを特徴とするプロセッサ・システム。

図面の簡単な説明

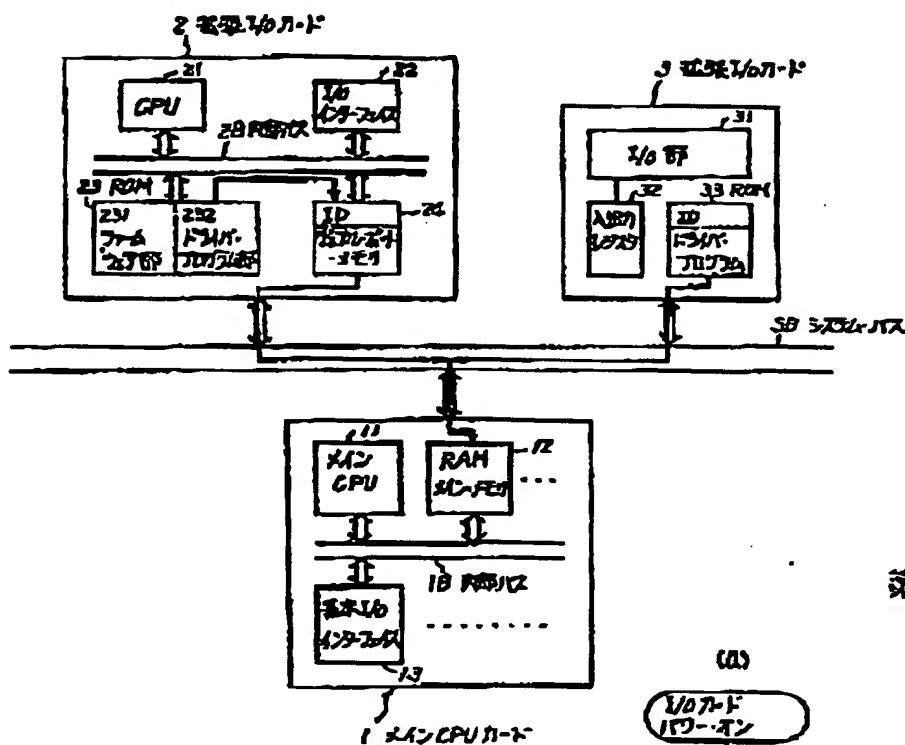
第1図は本考案を実施したプロセッサ・システム

の構成を表わす図、第2図a, b, c, dは本考案のプロセッサ・システムの動作を表わすフローチャート、第3図は本考案のプロセッサ・システムの動作の状態遷移図である。

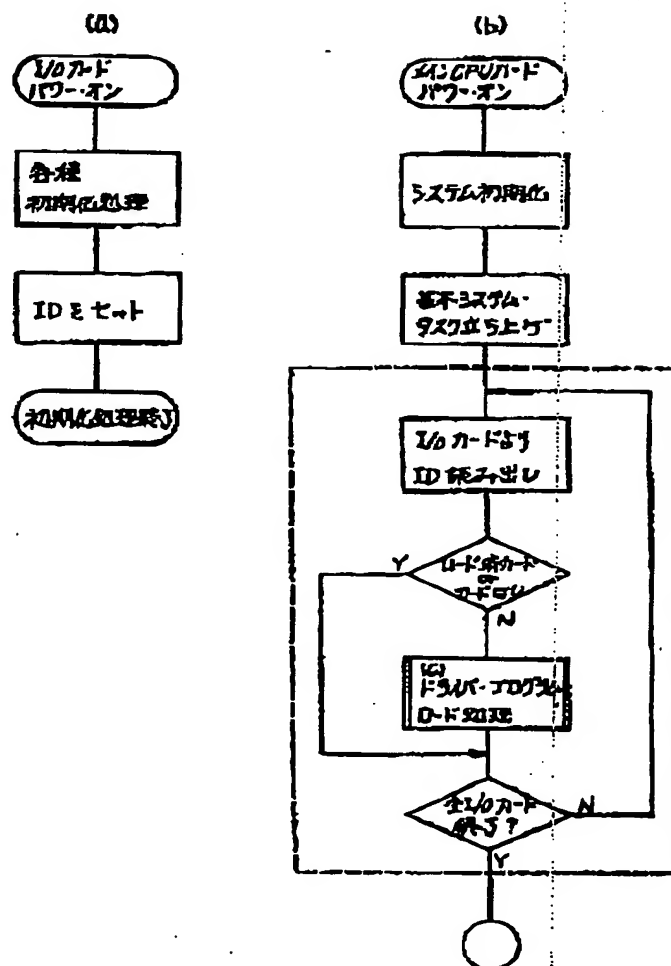
1…メインCPUカード、11…メインCPU、12…メイン・メモリ、13…基本I/Oインターフェイス、1B、2B…内部バス、2、3…拡張I/Oカード、21…CPU、22…I/Oインターフェイス、23…ROM、231…フームウェア部、232…ドライバ・プログラム部、24…デュアル・ポート・メモリ、31…I/O部、32…入出力レジスタ、33…ROM、SB…システム・バス。

実開 平1-164550(2)

第 1 図



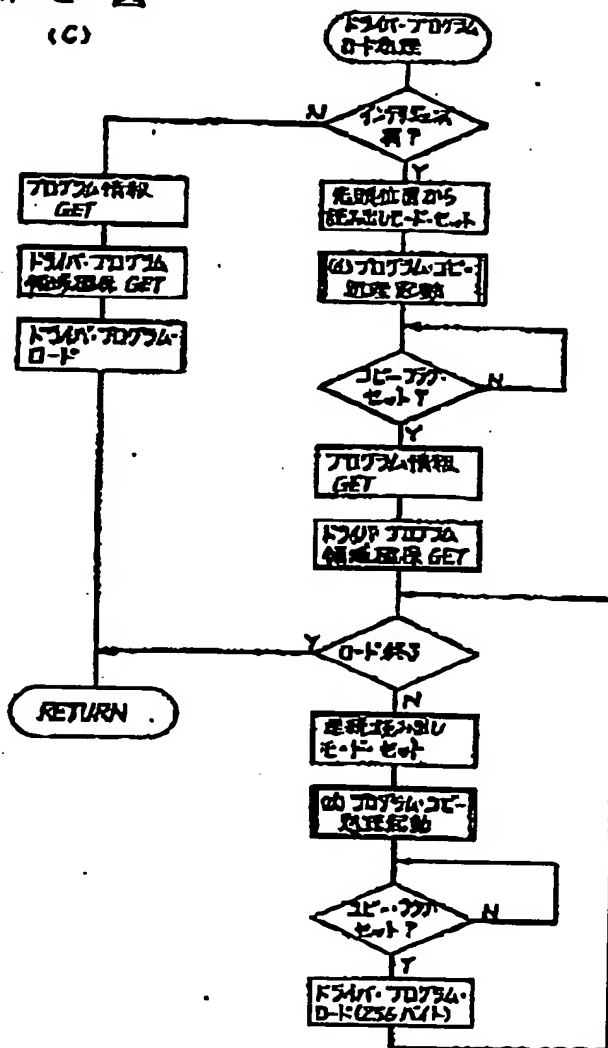
第 2 図



実開 平1-164550(3)

第 2 図

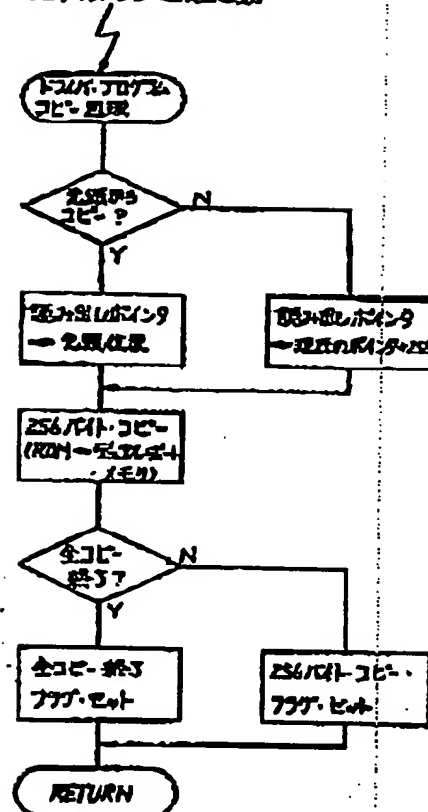
(C)



第 2 図

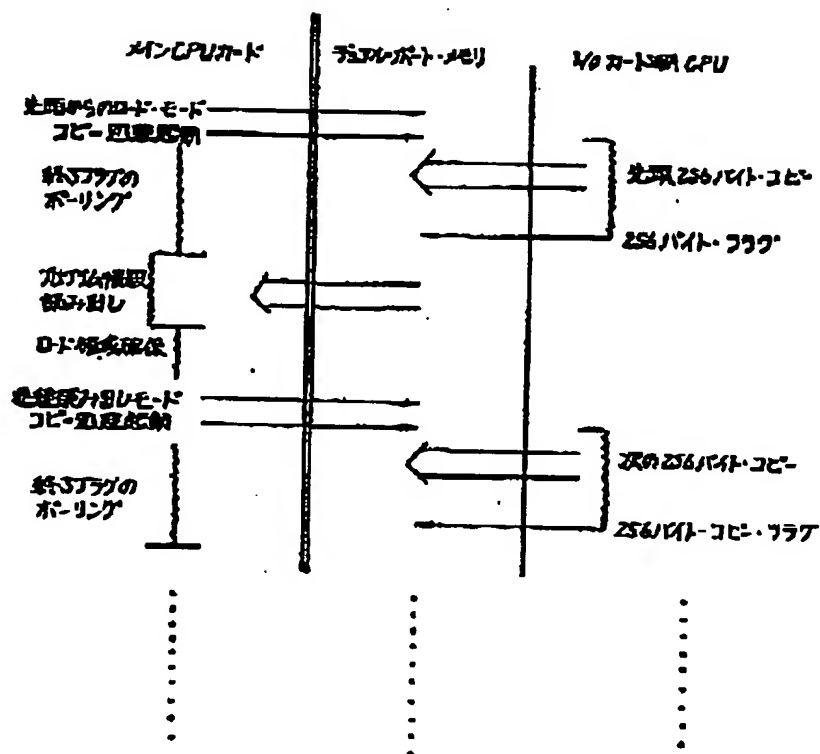
(d)

プログラムコード読込開始



実開 平1-164550(4)

第 3 図



PACKAGE CONTROLLER

Patent Number: JP2122355
Publication date: 1990-05-10
Inventor(s): TANIGAWA KIYOZUMI
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP2122355
Application Number: JP19880276826 19881101
Priority Number(s):
IPC Classification: G06F13/12
EC Classification:
Equivalents:

Abstract

PURPOSE: To extend a package in a short time and with a simple working in a system active state by securing such a constitution where a CPU transfers a driver to a main storage from a memory and at the same time activates and controls the package via the driver when the package storing the driver is connected to a system bus.

CONSTITUTION: A memory 6 of a package 5 contains a driver 7 serving as the software including an activating instruction for the package 5 and the firmware 71 cooperating with the driver 7. When a package 5 and the memory 6 are connected to a controller 4 and a system bus 3 respectively, a CPU 1 reads the driver 7 of the memory 6 into a main storage 2 of the controller 4. On the contrary the driver 7 of the storage 2 activates a control circuit included in the package 5. The the package 5 performs the external control of a circuit, etc. Thus it is possible to add a circuit control function without stopping the system working even in the case the package 5 is extended.

Data supplied from the esp@cenet database - 12

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

平2-122355

⑧ Int. Cl.

発明記号

庁内整理番号

⑨ 公開 平成2年(1990)5月10日

G 06 F 13/12

340 J

7737-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑩ 発明の名称 パッケージ制御装置

⑪ 特 願 昭63-275828

⑫ 出 願 昭63(1988)11月1日

⑬ 発 明 者 谷 川 清 純 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内

⑭ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑮ 代 理 人 弁護士 西原 修司

明 細 書

1. 発明の名称 パッケージ制御装置

2. ⑪ 特許出願の要旨

ＣＰＵ、主記憶装置及びシステムバス部を含む制御装置と、

内部にドライバ部を備えたメモリ部を含む、該システムバス部を介して該制御装置と接続可能なパッケージ部とを有し、

該パッケージ部を該システムバス部に接続したときに、該ＣＰＵが、該ドライバ部を該メモリ部から該記憶装置に転送するとともに該ドライバ部で該パッケージ部を制御化し制御することを特徴としたパッケージ制御装置。

3. 発明の発明の要旨

【要 旨】

該制御装置や該システムバス部を有するパッケージ部の制御装置に接続し、

システムバスに接続したときに、該制御装置で該メモリ部を該システムバスに接続し、該システムバスを介して該制御装置と接続可能なパッケージ部とを有し、該パッケージ部を、該システムバスに接続したときに、該ＣＰＵが、該ドライバ部を該メモリ部から該記憶装置に転送するとともに該ドライバ部で該パッケージ部を制御化し制御することを特徴とする。

ＣＰＵ、主記憶装置及びシステムバスを含む制御装置と、内部にドライバ部を備えたメモリ部を含む、該システムバスを介して該制御装置と接続可能なパッケージ部とを有し、該パッケージ部を、該システムバスに接続したときに、該ＣＰＵが、該ドライバ部を該メモリ部から該記憶装置に転送するとともに該ドライバ部で該パッケージ部を制御化し制御することを特徴とする。

【産業上の利用分野】

本発明は、パッケージ制御装置に関し、特に該制御装置や該システムバス部を有するパッケージ部の制御装置に接続するものである。

近年の制御装置分野においては、制御装置及び記憶装置の高速化に伴って通信ネットワークを構築する必要性が生じているが、その場合には該

特開平2-122355(2)

や設備の増設が必要であり、制御装置や設備インタフェース機能を有するパッケージ（プリント型）の効率的な運用が望まれている。

【従来の技術】

第1図は従来のパッケージ制御装置の一例を概略的に示したもので、

制御を司るCPU1、各組の制御命令を記憶するRAM等の主記憶2、ドライバ及び制御プログラム（図示せず）を格納したROM10及びこれらCPU1、主記憶2及びROM10等は系統バス3で制御装置4を構成しており、制御装置4は設備インタフェースを行うパッケージ1にはメモリ12及び制御回路（図示せず）が含まれており、このパッケージ1を制御装置4に装着（差し込み）することによりメモリ12及び制御回路がシステムバス3に接続されるようになっている。

動作について説明すると、CPU1はROM10に格納された制御プログラム及びドライバによ

り、

従って本発明はシステム拡張性の向上を図るべく、従来のパッケージを改良し、システムを運用することが出来るパッケージ制御装置を実現することを目的とする。

【課題を解決するための手段】

上記の目的を達成するために、本発明に係るパッケージ制御装置では第1図の原図に示すように、CPU1、主記憶2、及びシステムバス3を含む制御装置4と、内部にドライバ7を格納したメモリ6を含み、該システムバス3を介して該制御装置4と接続可能なパッケージ5とを有し、該パッケージ5を、該システムバス3に接続したときに、該CPU1が、該ドライバ7を該メモリ6から読出記憶3に記憶するとともに該ドライバ7で該パッケージ5を駆動化し制御するようにしたものである。

ってパッケージ1の制御回路（図示せず）が駆動化され、パッケージ1を制御することになる。

これによりパッケージ1は制御装置4と設備インタフェースが可能な状態となる。

【発明が解決しようとする課題】

このような従来のパッケージ制御装置においては、ネットワークの拡張のため設備や設備を増設する必要が生じ、これに伴ってパッケージ1を増設する必要が生じた場合には、制御装置4側にもドライバを増設する必要があり、これを行わずにパッケージのみの増設を行うと増設したパッケージが使用可能な状態にならないだけでなくCPU1が暴走したりするため、システム全体の電源を一旦落としてからドライバを増設しなければならず、システムの停止を余儀なくされていた。

これは特に、増設するパッケージが異種のもの場合には、不可欠であった。

そしてこのような作業が必要のため長い時間システムを停止しなければならぬという問題点があ

【作 用】

第1図に示す本発明では、パッケージ5が制御装置4に接続されるとメモリ6がシステムバス3に接続されると、CPU1はメモリ6内のドライバ7を制御装置4内の主記憶2に読み込む。すると今度は主記憶2のドライバ7がCPU1により逐次パッケージ5内の制御回路（図示せず）を駆動化し、これにより、パッケージ5は制御装置4の外部の制御を行う。

従ってパッケージ5はパッケージ6を制御するドライバ7を内蔵しているため、システム運用中にパッケージ5を増設しても制御装置4の構成には変更が不要なためシステムの停止を行わずに従来の制御装置を果すことが出来る。

【実 施 例】

第2図は本発明に係るパッケージ制御装置の一例を示しており、この実施例では制御装置4が、制御プログラム（図示せず）とともにパッケージ用のアドレス空間を周期的に監視するパッ

特開平2-122355(3)

ージ格納装置用ソフトウェア21を格納したROM20を含んでいる。

また、パッケージ5のメモリ6は、パッケージ5の格納化命令を内蔵したソフトウェアとしてのドライバ7及びドライバ7と協働するファームウェア71から成るメモリカーブ(パッケージ格納付けのROM)を含んでおり、更にCPU1の一部の制御を担担するMPU51及びMPU51とメモリ6とを接続し及びパッケージ5を制御装置4に接続した時にシステムバス3と接続されるシステムバス52を含んでいる。尚、この実施例ではパッケージ5は制御装置4をおこさう。

次にこの実施例の動作を説明する。

まず最初に、パッケージ5を制御装置4に接続するとシステムバス3と52が接続されるが、このシステムバス同士は接続を、ROM20内のパッケージ格納装置ソフトウェアがパッケージ用アドレス空間を周期的にスキャンすることにより検出する。これにより、CPU1はMPU51と協働してメモリ6中のドライバ7を記憶装置2に格納

させる。

この記憶装置2に格納されたドライバ7を用いることにより、CPU1はMPU51及びファームウェア71によりパッケージ5を制御装置4に格納化する。これによりパッケージ5は格納装置4が可能な状態となる。

従って、パッケージ5を格納する場合でも制御装置4側のソフトウェアを変更する必要が無いため、システムを停止させることなく制御装置4(又は制御インターフェース)機能を付加することができる。

尚、実施例ではパッケージ格納の検出を、パッケージアドレス空間を周期的に監視することで行っているが、パッケージ格納時にパッケージ側から検出を行うことによってCPU1に知らせることも出来る。

(発明の効果)

このように、本発明のパッケージ制御装置によれば、パッケージ側にパッケージを制御するドラ

イバを格納してしたので、増設するパッケージの制御/監視にかかわらず制御装置側のソフトウェアの変更が不要となり、増設時のシステム停止を回避することが可能となる。

尚、図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 茂 屋 雄 司

4. 図面の簡単な説明

第1図は本発明に係るパッケージ制御装置を原理的に示すブロック図、

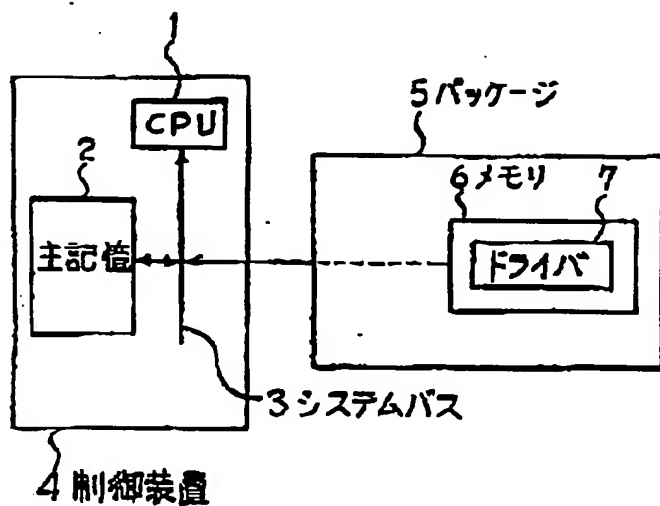
第2図は本発明に係るパッケージ制御装置の一実施例を示すブロック図、

第3図は従来のパッケージ制御装置を示すブロック図、である。

第1図において、

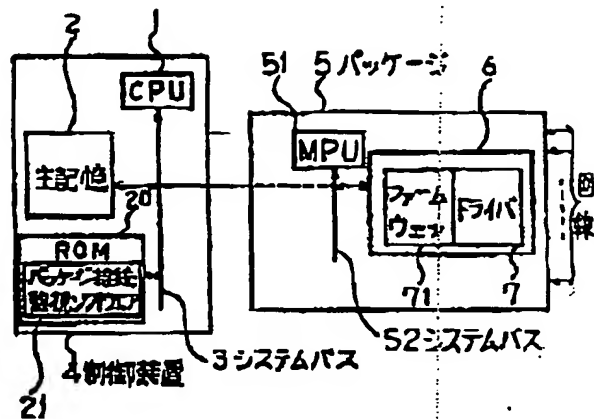
- 1—CPU、
- 2—記憶装置、
- 3—システムバス、
- 4—制御装置、
- 5—パッケージ、
- 6—メモリ、
- 7—ドライバ。

特開平2-122356(4)



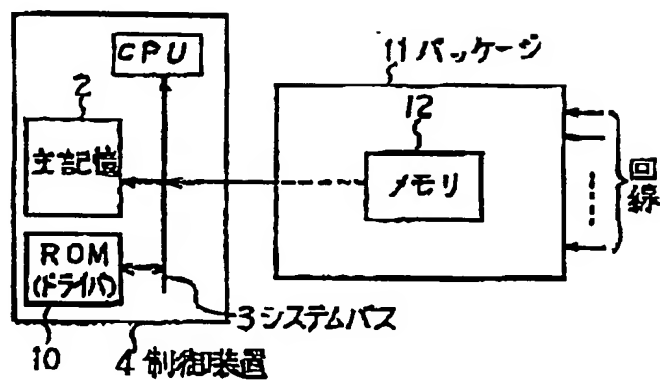
本発明の原理図

第 1 図



本発明の実施例

第 2 図



従 来 例

第 3 図